

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月17日

出願番号

Application Number:

特願2002-270604

[ST.10/C]:

[JP2002-270604]

出願人

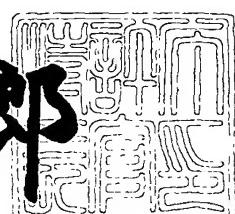
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028293

【書類名】 特許願

【整理番号】 R7225

【提出日】 平成14年 9月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G02B 15/16

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 春日 繁孝

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 松長 誠之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 猪熊 一行

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0108331
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置および画像ピックアップシステム

【特許請求の範囲】

【請求項1】 半導体基板上に、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状または二次元状に配列した感光領域と前記単位画素を駆動する走査回路およびタイミング発生回路と出力アンプ回路を有する撮像チップと、前記撮像チップから出力される信号を信号処理し、所望の信号に変換するデジタル信号処理チップいわゆるDSPチップからなるチップセットであって、前記DSPチップのトランジスタはCMOSで構成されたものであり、かつ前記撮像チップのトランジスタは同一導電型のトランジスタで構成されていることを特徴とする撮像装置チップセット。

【請求項2】 前記撮像チップのトランジスタはnMOSで構成されていることを特徴とする請求項1記載の撮像装置チップセット。

【請求項3】 前記撮像チップのトランジスタは前記CMOSの最小寸法より大きい最小寸法設計基準で形成されていることを特徴とする請求項1または請求項2記載の撮像装置チップセット。

【請求項4】 前記チップセットにおける前記撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計されていることを特徴とする請求項1記載の撮像装置チップセット。

【請求項5】 前記チップセットにおける前記撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計され、ダイナミック回路のMOSトランジスタ部分の酸化膜を厚くして高耐圧化していることを特徴とする請求項1または請求項4記載の撮像装置チップセット。

【請求項6】 前記チップセットにおける前記撮像チップの前記トランジスタが半導体基板を侵食しないように形成された絶縁膜とイオン注入層からなる素子分離領域を持つことを特徴とする請求項1または請求項2または請求項3記載の撮像装置チップセット。

【請求項7】 前記チップセットにおける前記撮像チップの増幅型単位画素が埋め込み型フォトダイオードを有することを特徴とする請求項1または請求項2または請求項3または請求項6記載の撮像装置チップセット。

【請求項8】 前記走査回路に供給するタイミングパルスを発生するタイミング発生回路がDSPチップ側に搭載されていることを特徴とする請求項1または請求項4または請求項5記載の撮像装置チップセット。

【請求項9】 請求項1ないし請求項8のいずれかに記載の撮像装置チップセットを組み込んでいること特徴とする画像ピックアップシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルカメラ等に使用されるMOS型撮像チップとDSPチップのチップセットに関するもので、特に高性能で高付加価値なチップセットを提供するものである。

【0002】

【従来の技術】

近年、デジタル信号処理技術とCMOS微細化技術の急激な進歩により、高度の信号処理が可能なDSPと撮像面に照射された光信号を電気信号に変換し取り出す像素子とを1枚のシリコン基板に上に集積する1Chip CMOSカメラが実現できるようになってきた。

【0003】

図10は従来の1Chip CMOSカメラの構成図である。1Chip CMOSカメラ201は光を電気信号に変化するセンサ部207、センサ部を駆動する垂直走査回路206、水平走査回路208、タイミング発生回路203、センサからの信号出力を増幅するゲイン制御アンプ204、その出力信号をデジタル信号に変換するアナログデジタル変換回路205及びデジタル信号処理回路202から構成される。

【0004】

しかし、高度に進歩した微細CMOS技術により1Chip化が可能になって

きた一方で、撮像チップとDSPチップを独立に形成する2Chip構成の方が性能面とコスト面で有利であることが分かってきた。

【0005】

DSPチップは、膨大な画像情報を高度に処理するために信号処理の機能が大きくなってくる。静止画像では今後急激に進歩する携帯電話で画像を伝達するには画像の情報の大幅な圧縮が必要である。具体的にはJPEGという圧縮法がある。このデータ圧縮には膨大な計算を高速に行う必要あり、CMOSの微細化技術と最新のCMOS回路設計技術が不可欠である。さらに動画を扱う場合には超高速の処理回路が必要となる。そのためDSPチップはデジタルCMOS微細化技術の最先端技術を用いることになる。

【0006】

一方、撮像チップはアナログ信号を取り扱う。さらに感光領域はカメラで使うレンズなどの制約により微細化を急激に進めることはできない。すなわちDSPチップと撮像チップで要求される製造プロセスが異なってくる。無理に1Chip化するとDSPの高速化や製造プロセスの微細化およびDSPのデジタルノイズによる撮像チップの性能劣化も及ぼしかねない。すなわち高価格、低性能につながってしまう。

【0007】

そこで、撮像チップとDSPチップを独立に設計することの有利性が出てくる。独立設計した従来のチップセットの構成は、信号処理の方法やDSPの種類にかかわらず、撮像チップを独立に動作させるために、センサ部を駆動する走査回路206や208、走査回路に必要なパルスを発生するタイミングパルス発生回路203、センサ部からの信号出力を増幅するゲイン制御アンプ204、その出力信号をデジタル信号に変換するアナログデジタル変換回路205を撮像チップ側に搭載した図11のようなチップセット構成となる。

【0008】

DSPチップ211から撮像チップ210へはマスタークロックライン212により基準のパルスを供給する。また、感度制御する電子シャッタ信号線213により電子シャッタ信号が供給される。センサチップからDSPチップへはアナ

ログデジタル変換回路205からのデジタル信号が信号線214を介して供給される。

【0009】

【特許文献1】

特開2000-92349号公報

【0010】

【発明が解決しようとする課題】

上記の従来技術のように低価格かつ高性能を達するために2Chip構成を提案しているわけであるが、価格面において、DSPチップは急激に進化するデジタル信号処理技術を取り込むと共に、CMOS微細化技術を用いることによって、性能面や価格面で付加価値が増大する一方で、撮像チップはアナログ性能確保のために、半端な微細化技術を使用せざるを得ず、タイミングパルス発生回路203等の本来CMOSロジックが得意とするデジタル回路の面積が大きくなり、コスト面では結局のところ1Chipシステムに対して大きな有利性を見出せない。

【0011】

そこでタイミングパルス発生回路203、ゲイン制御アンプ204、アナログデジタル変換回路205をDSPチップ211に搭載することで低価格化を模索することはできるが、この場合、DSPチップ211から撮像チップ210へのタイミングパルス供給線が増大し、その供給線に雑音が重畠し、この雑音が撮像チップの雑音出力に重畠することにより撮像チップの感度が低下してしまい性能劣化につながってしまう。この雑音は主に画素部を駆動する走査回路に供給する電流の変動から発生することがわかっている。

【0012】

電流変動は、走査回路がCMOSロジックで作られている場合、CMOS回路がスイッチするときのいわゆる貫通電流が原因である。一般にはCMOS回路というのは消費電流が小さいというのが特徴であるが、スイッチする瞬間は非常に大きな電流（貫通電流）が流れることはよく知られている。これはスイッチの一瞬の時間だけnMOSとpMOSの両方のトランジスタがON状態になり、電源

ヒグランドがショートするためである。スイッチをコントロールする配線がチップ外を通ると、その配線自身に雑音が重畠したり、配線を通るパルスがなまつたりするので、上記の貫通電流による電源のゆすれ雑音が増大してしまう。すなはち低価格化と高性能化を両立させる2チップセットのシステム技術の早期確立がもとめられている。

【0013】

【課題を解決するための手段】

上記の課題を解決するため、本発明の請求項1記載の撮像装置チップセットは、半導体基板上に、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状または二次元状に配列した感光領域と前記単位画素を駆動する走査回路およびタイミング発生回路と出力アンプ回路を有する撮像チップと、前記撮像チップから出力される信号を信号処理し、所望の信号に変換するデジタル信号処理チップいわゆるDSPチップからなるチップセットであって、前記DSPチップのトランジスタはCMOSで構成されたものであり、かつ前記撮像チップのトランジスタは同一導電型のトランジスタで構成されていることを特徴とするものである。

【0014】

この構成によれば、低価格かつ高性能を同時に満たす撮像装置チップセットを提供することができる。つまり、低価格化を図るため、独立に設計する撮像チップの回路をすべてをnMOSまたはpMOSのみにする。この方法ではプロセス拡散工程において、単一のウェル構造だけを作ればよく、プロセス工程数やマスク枚数が大幅に削減できる。また、DSPに合わせた微細プロセスを用いる必要もない。高性能化においては、DSPと独立して撮像チップとしてアナログ性能を重視した設計ができるので無理な微細プロセス使わないため高性能化につながる。

【0015】

また、本発明の撮像装置チップセットは、走査回路に供給するタイミングパルスを発生するタイミング発生回路がDSPチップ側に搭載されていることを特徴とする。

【0016】

また、本発明の撮像装置チップセットは、チップセットにおける撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計されていることを特徴とするものである。

【0017】

この構成によれば、より低価格化を図るためにタイミングパルス発生回路をD S Pチップに搭載した場合の課題である重疊雑音に対しても、撮像チップ内の走査回路をnMOS又はpMOSのみを用いたダイナミックロジック回路を用いることにより、CMOS回路の貫通電流がなくなり、タイミングパルス供給線をチップ外部に配しても電源に重疊するゆすれ雑音が増大しないため、タイミングパルス供給線に重疊した雑音が撮像チップの雑音出力に与える影響を排除できる。さらに、ダイナミック回路を用いているので、nMOS又はpMOSのみで構成した走査回路内の伝達パルスの減衰も防ぐことができる。

【0018】

また、本発明の撮像装置チップセットは、チップセットにおける撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計され、ダイナミック回路のMOSトランジスタ部分の酸化膜を厚くして高耐圧化していることを特徴とする。

【0019】

この構成によれば、nMOS又はpMOSのみで構成した走査回路内の伝達パルスは、昇圧により電源電圧よりも高くなる事があるが、この場合においても酸化膜を厚膜化することで耐圧も確保することができる。

【0020】

以上の特徴のある撮像チップであれば、最先端微細プロセスを用いたDSPと組み合わせることで、高性能でかつ低価格な高付加価値チップセット及びこの撮像装置チップセットを組み込んだ画像ピックアップシステムを提供できる。

【0021】

【発明の実施の形態】

本発明のチップセット構成の1例を図1に示す。本チップセット構成は、新D

S Pチップ221と新撮像チップ220からなる。新D S Pチップから新撮像チップに供給するタイミング供給線222は、従来のマスタークロックライン212と異なり、複数の配線となる。供給線がチップ外部に存在すると雑音が重畠しやすくなる。この雑音が走査回路に供給する電流を変動させて、撮像チップの雑音出力に重畠することにより撮像チップの感度低下を招く恐れがあるが、本撮像チップの走査回路は図2に示すようなnMOSまたはpMOSダイナミックロジック作られているため、電流変動が発生しない。したがって、撮像チップの感度に悪影響を与えない構成になっている。また、撮像チップ全回路をnMOSまたはpMOSで構成することにより、撮像特性をさらに向上させることも可能になるので、この点についてさらに詳しく述べる。

【0022】

まず、従来のCMOSイメージセンサが抱える問題点を挙げる。図3は、従来のCMOSイメージセンサの構成の1例である。フォトダイオード101と転送トランジスタ102、リセットトランジスタ103、増幅トランジスタ104からなる単位画素が二次元状に配列された感光領域105と列方向に画素を選択する垂直走査回路106と行方向に画素を選択する水平走査回路107と垂直走査回路106・水平走査回路107に必要なパルスを供給するタイミング発生回路108により構成されている。垂直走査回路106・水平走査回路107・タイミング発生回路108は、n-MOSとp-MOSを両方とも使うCMOSで設計されている。一方、単位画素を構成する転送トランジスタ102、リセットトランジスタ103、増幅トランジスタ104は、全てn-MOSである。これらのn-MOSは、垂直走査回路106・水平走査回路107・タイミング発生回路108のn-MOSと同一構造のものである。CMOSイメージセンサなどの増幅型センサは、少ない信号を増幅できるので感度が高いという特徴がある。そのためフォトダイオードに漏れ込むリーク電流が大きいと増幅するため大きな雑音となってしまう。単位画素を形成するトランジスタは、垂直走査回路106・水平走査回路107・タイミング発生回路108のトランジスタと同一のものであり、半導体LSIの微細化技術の大きな流れの中で開発されたp-MOSとn-MOSからなるCMOSトランジスタである。ここで、微細化されたCMOS

に要求されるものは高速性であり、高速化のためにトランジスタの製造がチューニングされ、素子分離領域及びその近傍から発生するリーク電流対策は、ロジック動作上問題のないレベルまでしか注意が払われていないのが実際である。そのため垂直走査回路106・水平走査回路107・タイミング発生回路108に使われているn-MOSをそのまま増幅型単位画素に使うとリーク電流による雑音が非常に大きく、画質の悪化につながるという問題が発生する。リーク電流発生のメカニズムについて、図4および図5のCMOSトランジスタの構造例を用いてさらに詳しく説明する。図4にて、p-MOSはn-型ウェル109の内部に、n-MOSはp-型ウェル110の中に形成される。素子分離領域はLOCOS 111という約半分シリコン半導体基板112を侵食した酸化膜により形成されている。酸化膜に食い込んだ領域で大きなストレスが発生し大きなリーク電流が発生する原因となる。更に微細化が進むと図5に示すSTI (Shallow Trench Isolation) 113という素子分離が用いられる。これは厚い酸化膜が全て半導体基板内部に埋め込まれているので前記LOCOS素子分離より更に大きなリーク電流が発生してしまう。対してリーク電流の少ない素子分離構造も考えられており、例として図6や図7に示す構造がある。図6は素子分離酸化膜114を基板の上に積んだ構造で、図7は素子分離イオン注入層115により分離するものである。これら技術を両方併用した構造のものも存在する。

【0023】

単位画素の部分に前記のようなリーク電流の少ない素子分離構造を使うことは可能である。しかしCMOSの部分に前記のようなリーク電流の少ない素子分離構造を使うとCMOSトランジスタの特性が変わるために、長い開発期間をかけて開発した設計技術が応用できなくなりCMOSを使う意味自体が無くなってくる。そこで、垂直走査回路106・水平走査回路107・タイミング発生回路108などロジックで動作する回路には、図4または図5のリーク電流の多い素子分離を使い、単位画素には、図6や図7のリーク電流の少ない素子分離を用いることも考えられる。しかしながら、製造工程が複雑で長くなるため、コストアップになると同時に製品供給までの時間が長くなるという問題とCMOSを構成する

p-MOS、n-MOSと単位画素を構成するn-MOSの3つのトランジスタの特性を管理しなければならなくなるという問題が発生し、面積あたりの価値の増大を図ることができない。

【0024】

本発明が提供するチップセット中の新撮像チップは、nMOS、pMOSのみで回路構成することが特徴であるが、例として単位画素を構成するトランジスタとして、図6や図7に示すリーク電流が小さい素子分離構造のn-MOSトランジスタを用いると共に垂直走査回路106・水平走査回路107・タイミング発生回路108にも図6のn-MOSトランジスタを用いることにより、低リーク電流化が実現でき、画質を飛躍的に向上させることができる。一方で、n-MOSトランジスタのみで垂直走査回路106・水平走査回路107・タイミング発生回路108を構成すると消費電力が増大するという問題点も新たに発生する。この対策として、n-MOSのみで低消費電力化するためにダイナミック回路を採用する。図2に垂直走査回路106・水平走査回路107に使うことができるn-MOSダイナミックシフトレジスタ回路の一例を示す。このダイナミック回路は、容量234にデータをダイナミックに保持するためリーク電流が大きいとデータがリーク電流により破壊されるため誤動作してしまう。それを防ぐためにはリーク電流の小さいトランジスタを使う必要がある。そのためにも垂直走査回路106・水平走査回路107・タイミング発生回路108に図6の低リーク素子分離のMOSトランジスタを用いることは理にかなっている。図7の素子分離を垂直走査回路106・水平走査回路107・タイミング発生回路108に用いない理由は単位画素以外の周辺回路に図7の素子分離を用いるとゲート電極が全て薄いゲート絶縁膜上に形成されるため、ゲート電極の容量が大きくなり回路のスピードが遅くなることと、半導体基板との間に短絡不良が多くなる等の問題が発生するからである。

【0025】

図8は、埋め込み型フォトダイオードの構成例である。図8に示す埋め込み型フォトダイオードは、図7に示す素子分離構造において、拡散層のフローティングディフュージョン部238とフォトダイオード101が構成されており、フォ

トダイオード101にP型埋め込み層237を構成したものである。

【0026】

撮像チップをnMOS又はpMOSのみで構成すると、このような埋め込み型フォトダイオードなどの特殊な製造工程を採用することができ、フォトダイオード表面からのリーク電流を少なくすることができる。

【0027】

以上のように撮像チップをnMOS又はpMOSのみで回路構成すると、ダイナミックロジックにより、外部入力パルスの雑音に強くなり、低リーク電流な素子分離構造を採用することにより、撮像特性の飛躍的な向上も見込まれる。さらにCMOSプロセスにとらわれることがなく、製造工程が短くなり、コスト面でも圧倒的に有利になる。

【0028】

このように性能、コスト両面で従来の1chipシステムや従来の2chipシステムに対して大きな有利性を出せるチップセットを提供することができる。

【0029】

図9に、本発明のチップセットを組み込んだ画像ピックアップシステムを示す。図9にはEEPROM26に書き込まれた電子シャッターや自動絞りなどの機能をMicro Controller235で読み取りDSPに情報を送り制御する画像ピックアップシステムの例を示している。このように本発明のチップセットを画像ピックアップシステムに採用することで、デジタルスチルカメラ、監視カメラ、指紋認証などの画像ピックアップシステムの高画質化を実現することができる。

【0030】

【発明の効果】

本発明によれば、DSPチップの膨大な付加価値の増加を損ねることなく、センサチップのチップ面積あたりの価値を高めることができるとなる。またこのチップセットをシステムに組み込むことにより、システムとしての付加価値が飛躍的に増大する。このように特性と機能面から微細化が必須のDSPチップと微細化よりも撮像性能重視の撮像チップを独立設計することで、DSPチップと撮像チ

ップ双方の付加価値を高めるとともに、大幅なコストダウンを図れるチップセットを実現できる。

【図面の簡単な説明】

【図1】

本発明のチップセット構成例を示すブロック図

【図2】

NMOSダイナミックシフトレジスタ回路例を示す回路図

【図3】

従来のCMOSセンサ回路を示す回路図

【図4】

CMOSトランジスタの構造例1（LOCOS素子分離）を示す図

【図5】

CMOSトランジスタの構造例2（STI素子分離）を示す図

【図6】

低リーケ電流素子分離構造例1を示す図

【図7】

低リーケ電流素子分離構造例2を示す図

【図8】

埋め込み型フォトダイオードを示す図

【図9】

本発明のチップセット内蔵の画像ピックアップシステムを示すブロック図

【図10】

従来の1chip CMOSカメラ構成例を示すブロック図

【図11】

従来の2chip CMOSカメラ構成例を示すブロック図

【符号の説明】

101 フォトダイオード

102 転送トランジスタ

103 リセットトランジスタ

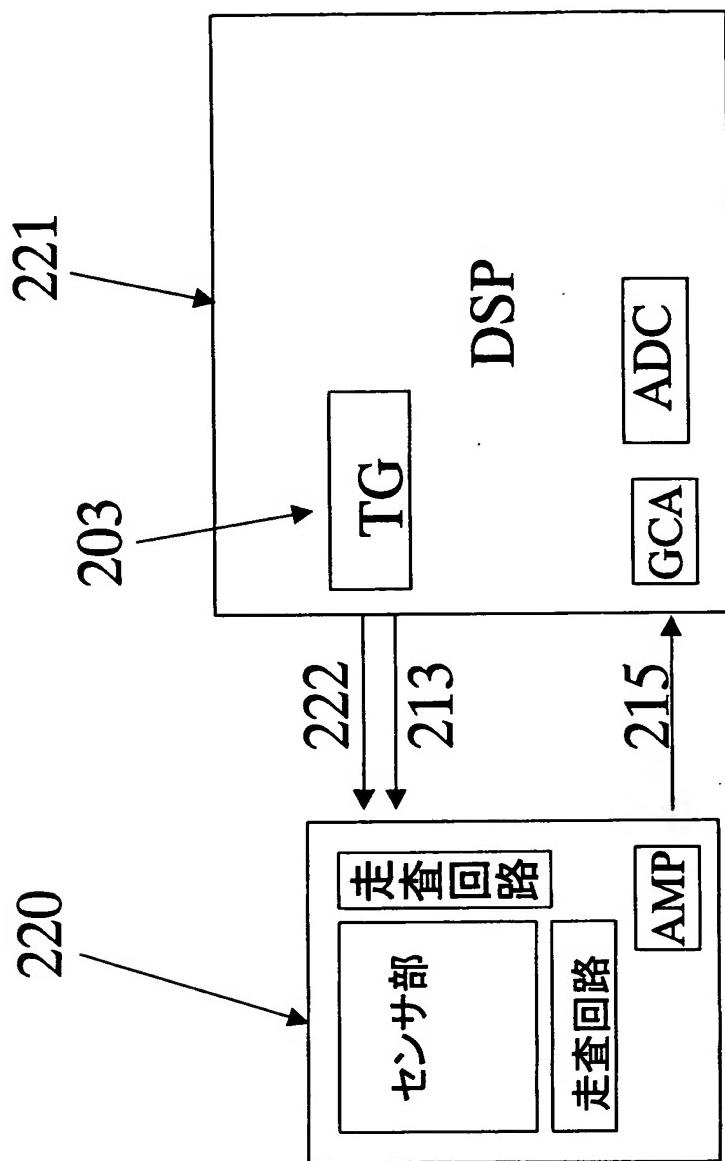
- 104 増幅トランジスタ
- 105 感光領域
- 106 垂直シフトレジスタ
- 107 水平シフトレジスタ
- 108 タイミング発生回路
- 109 n型ウェル
- 110 p型ウェル
- 111 LOCOS素子分離
- 112 半導体基板
- 113 STI素子分離
- 114 素子分離酸化膜
- 115 素子分離イオン注入層
- 201 chip CMOSカメラ
- 202 デジタル信号処理回路
- 203 タイミング発生回路
- 204 ゲイン制御アンプ
- 205 アナログデジタル変換回路
- 206 センサ駆動走査回路部
- 207 センサ部
- 210 センサチップ
- 211 DSPチップ
- 212 マスタークロックライン
- 213 電子シャッター信号線
- 214 デジタル映像信号線
- 215 アナログ映像信号線
- 220 新センサチップ
- 221 新DSPチップ
- 222 タイミング供給線
- 230 シフトレジスタ駆動パルス1

- 231 シフトレジスタ駆動パルス2
- 232 データ入力線
- 233 選択信号線
- 234 容量
- 235 マイクロコントローラ
- 236 メモリ（EEPROM）
- 237 P型埋め込み層
- 238 フローティングディフュージョン

【書類名】

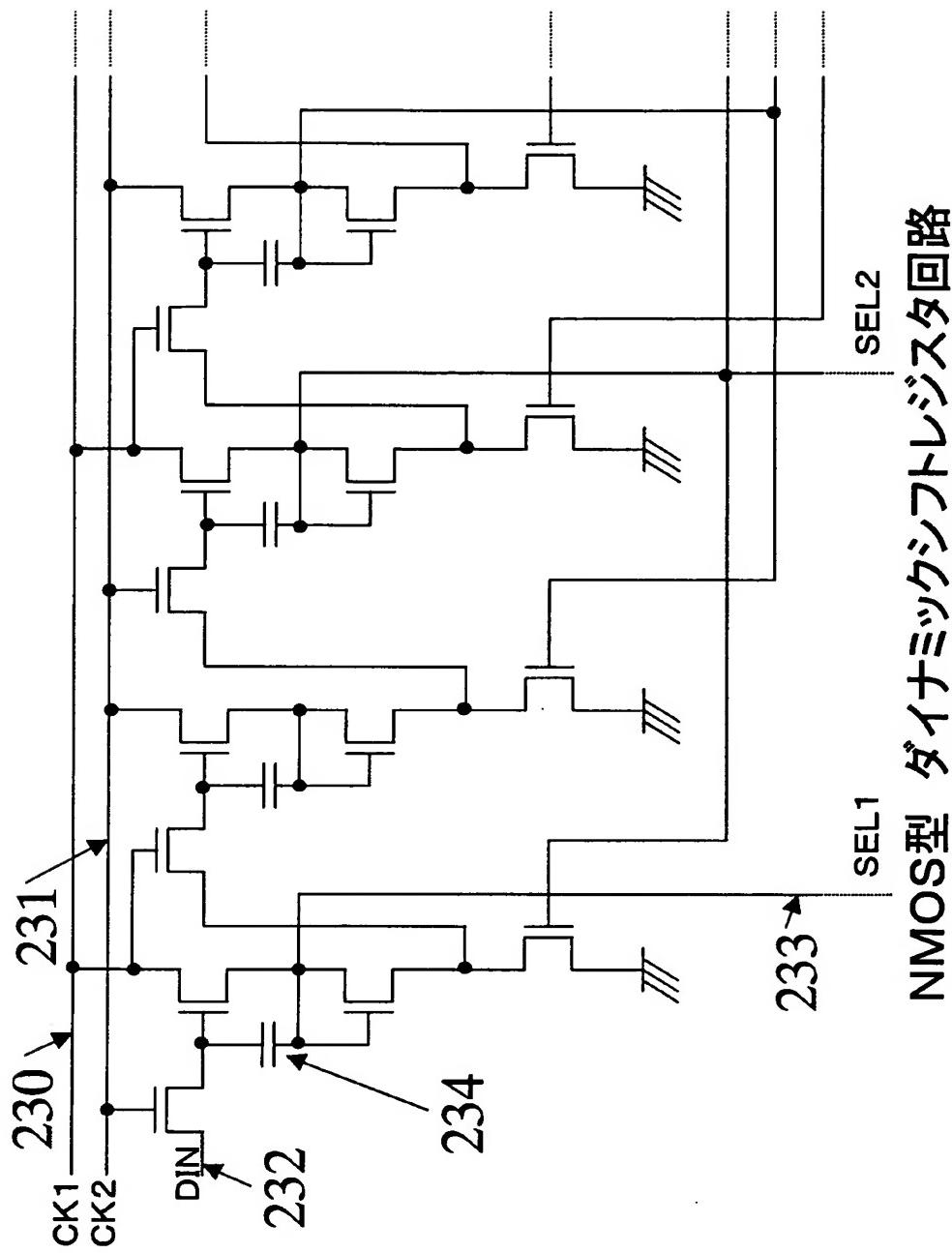
図面

【図1】



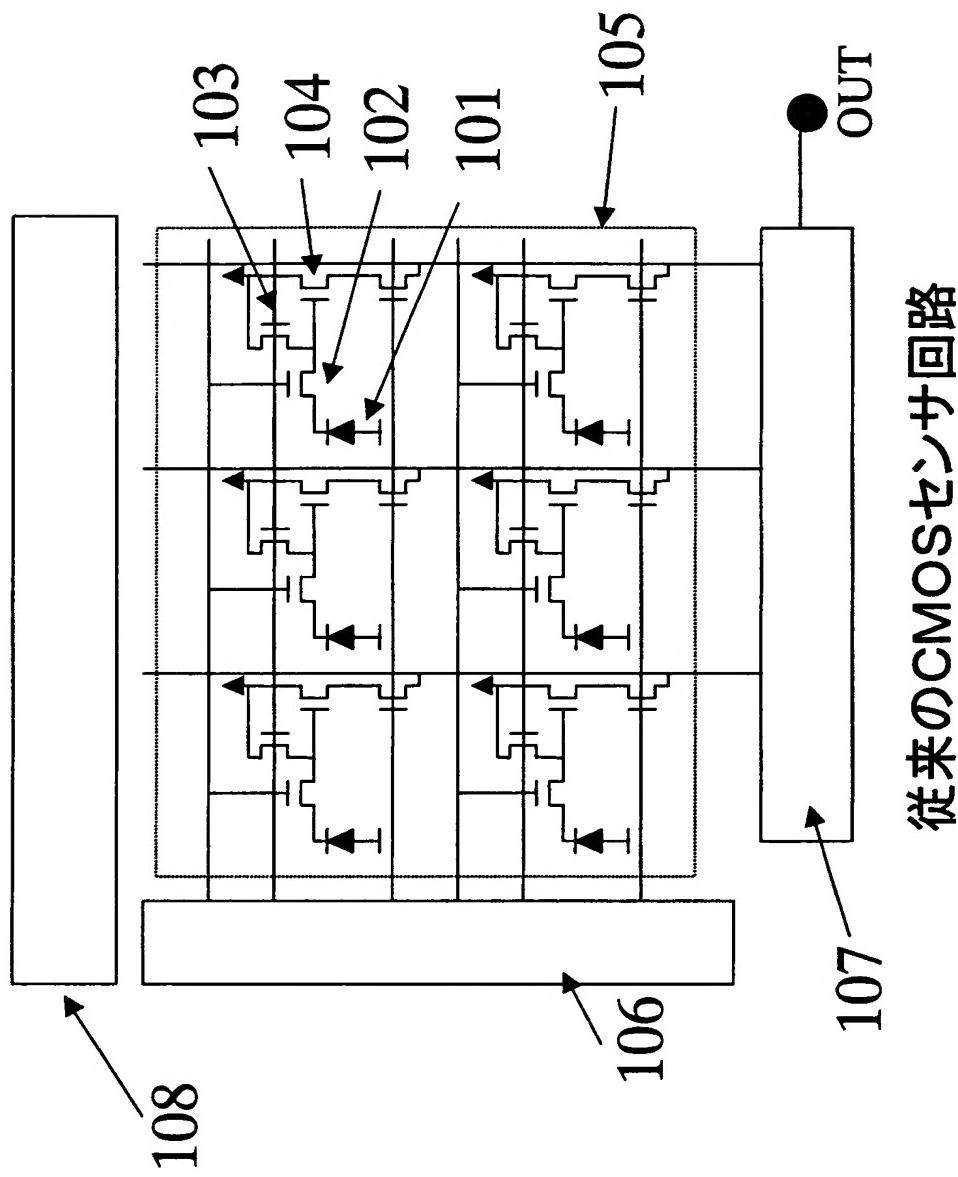
本発明の2chipMOS型力メラ構成例

【図2】

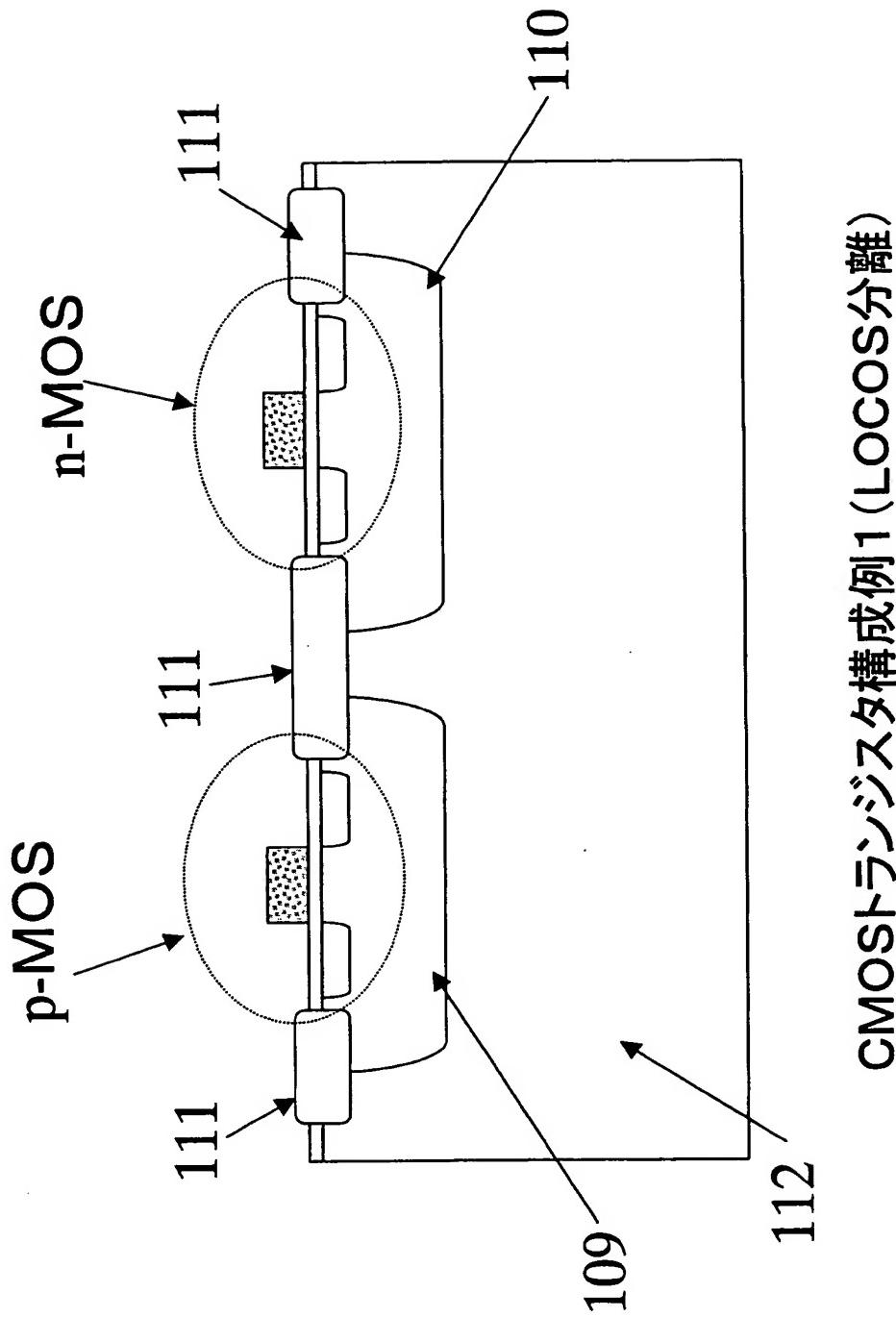


NMOS型 ダイナミックシフトレジスタ回路

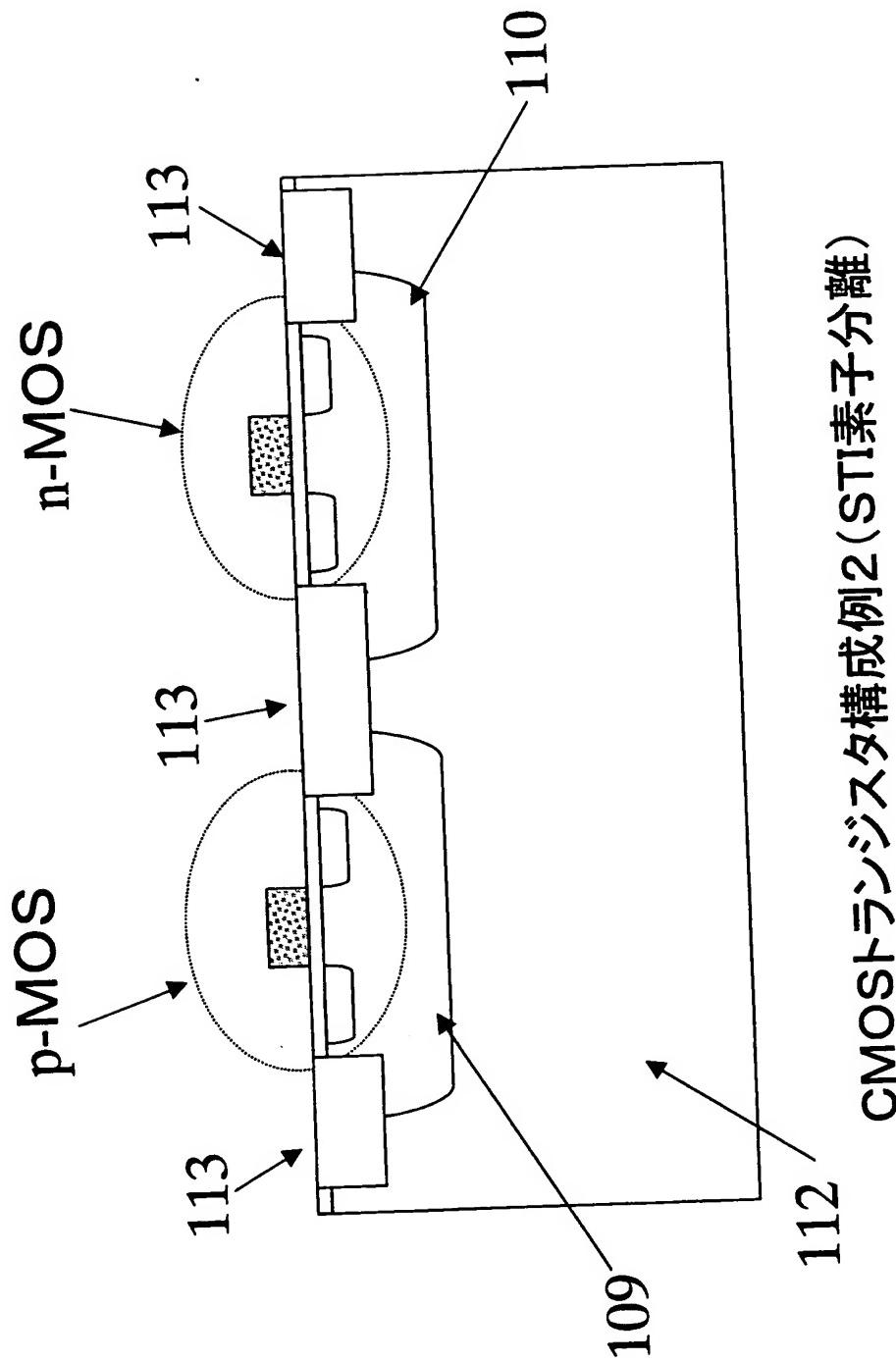
【図3】



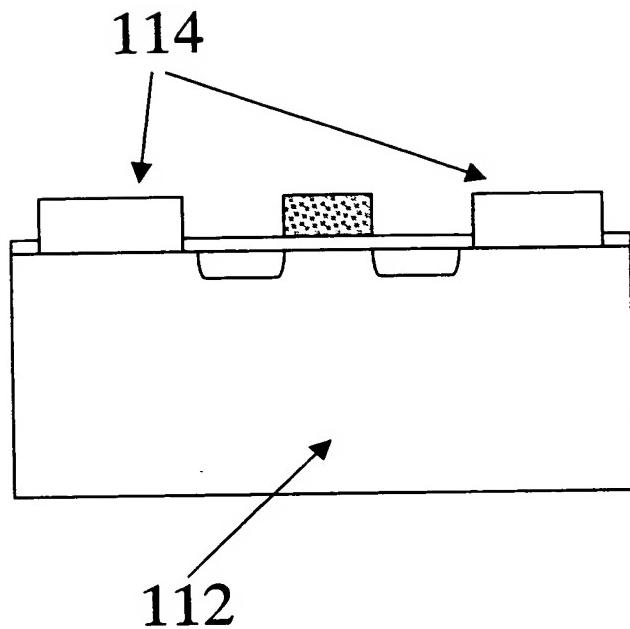
【図4】



【図5】

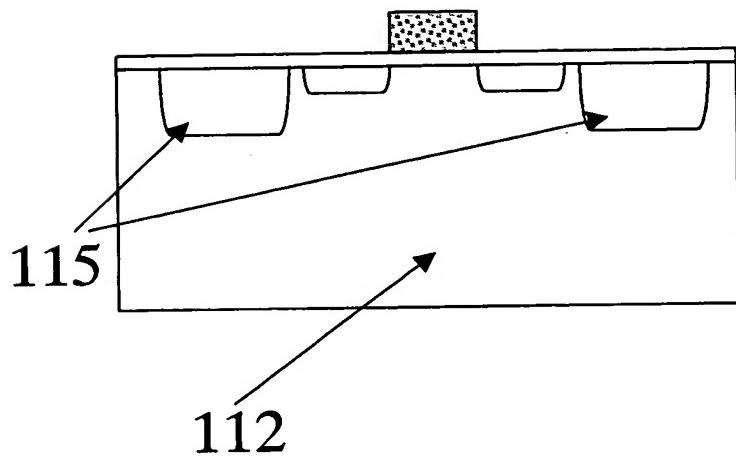


【図6】



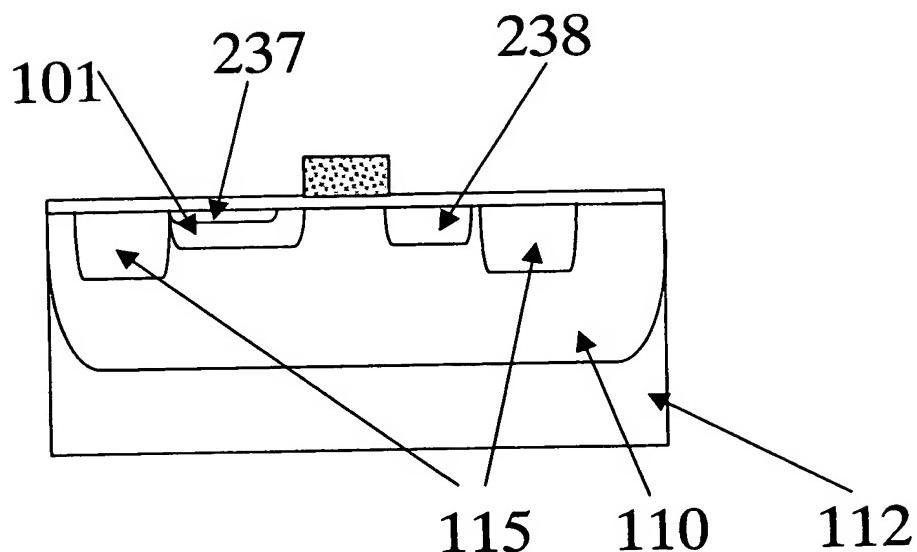
素子分離構造例1

【図7】



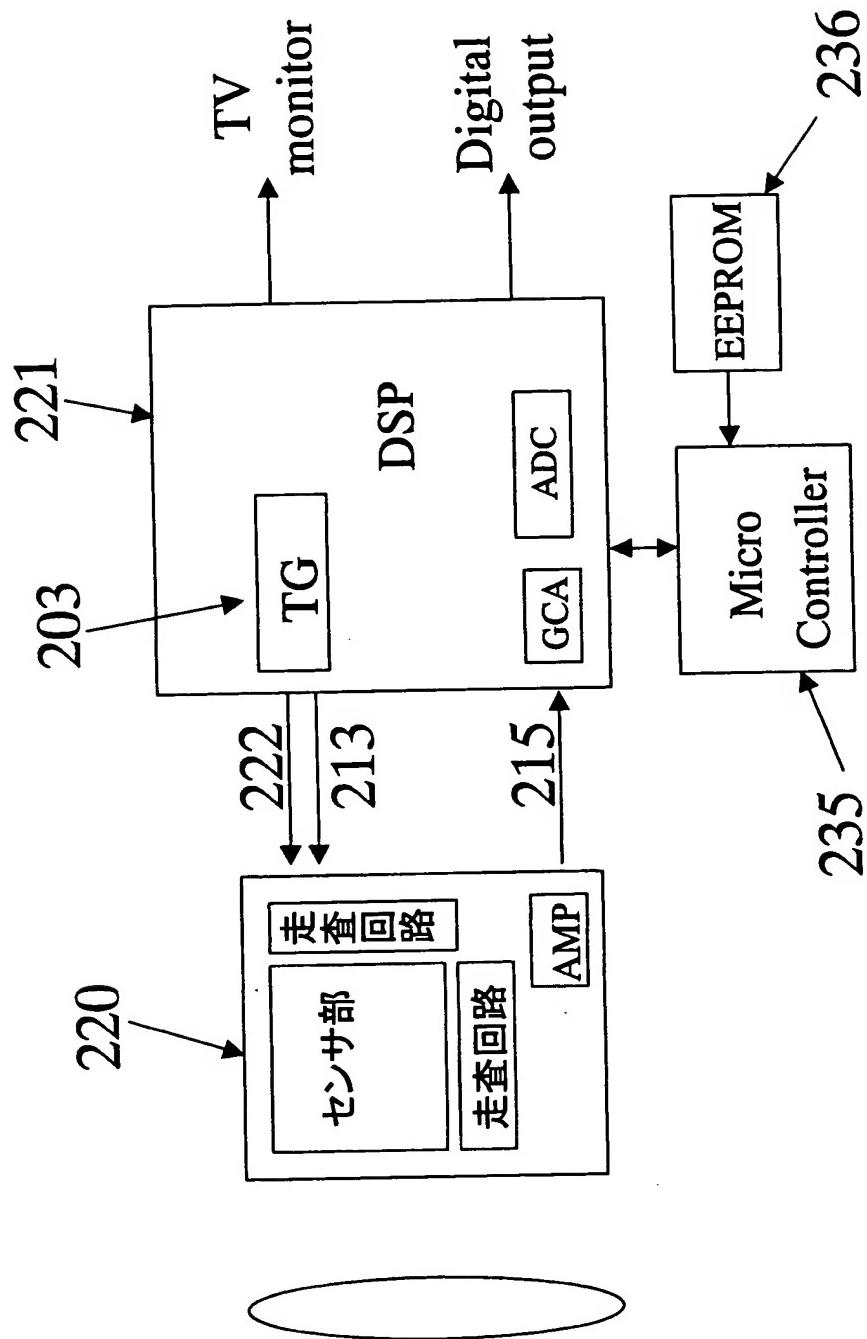
素子分離構造例2

【図8】



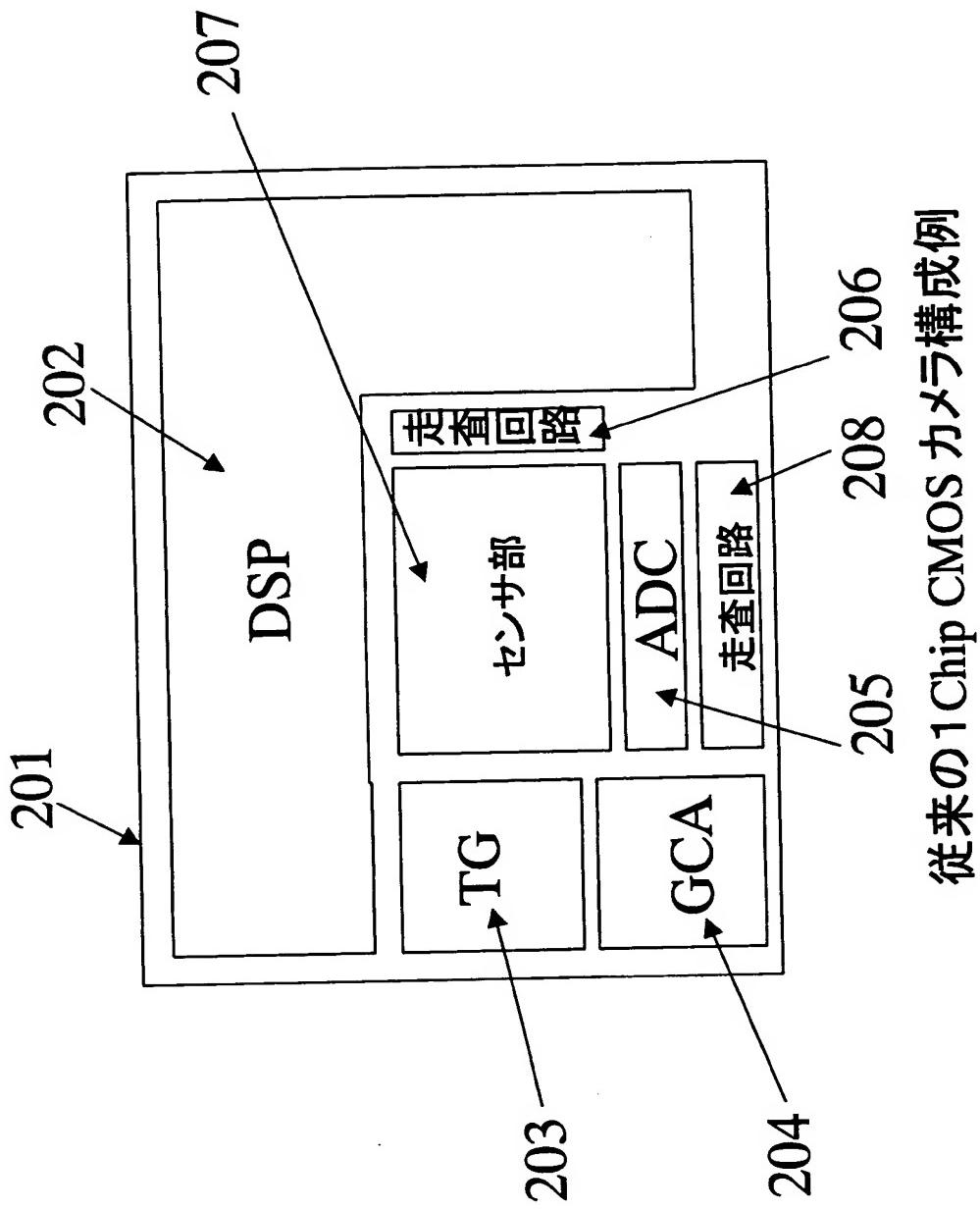
埋め込み型フォトダイオード構造例

【図9】



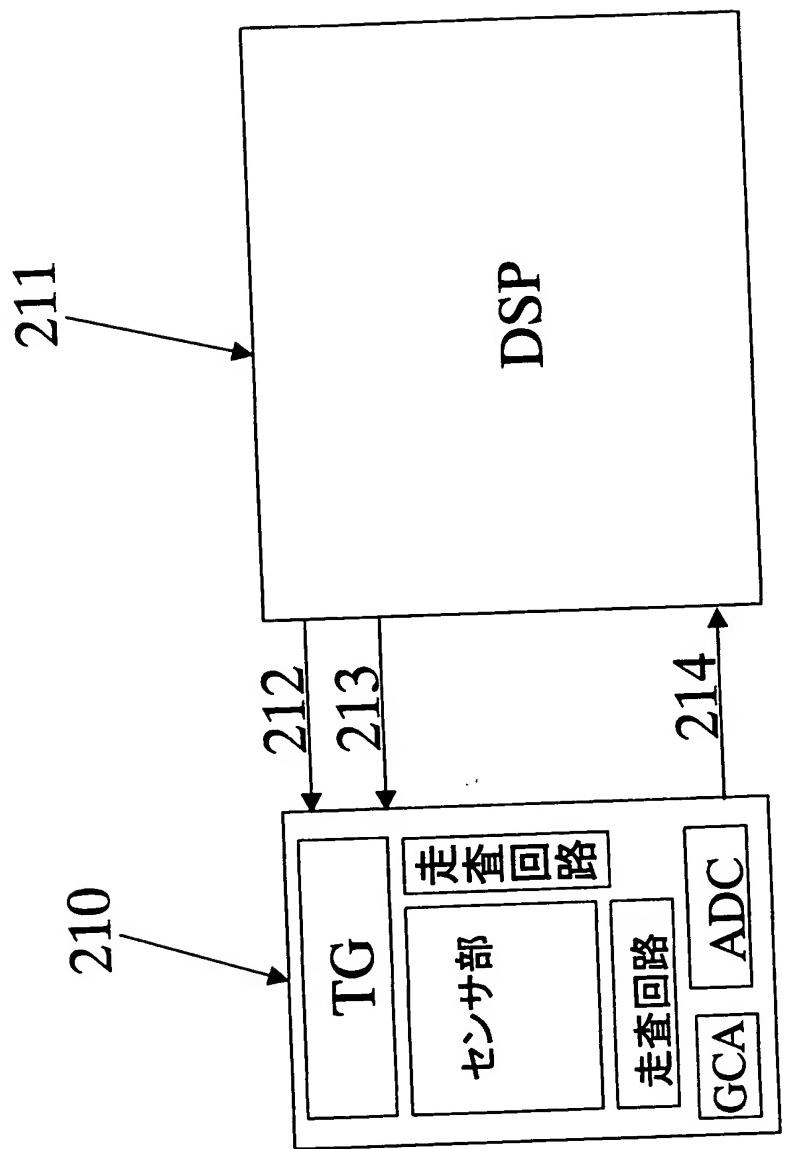
本発明のチップセット内蔵の画像ピックアップシステム

【図10】



従来の1Chip CMOSカメラ構成例

【図11】



従来の 2Chip CMOS カメラ構成例

【書類名】 要約書

【要約】

【課題】 デジタルカメラ等に使用されるMOS型撮像チップとDSPチップのチップセットに関するもので、高性能で高付加価値なチップセットを提供する。

【解決手段】 半導体基板上に、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状または二次元状に配列した感光領域と単位画素を駆動するドライバ回路を有する撮像チップ220と、撮像チップ220から出力される信号を信号処理し、所望の信号に変換するデジタル信号処理チップいわゆるDSPチップ221からなるチップセットにおいて、DSPチップ221はCMOSで構成されており、撮像チップ220のトランジスタはnMOS型又はpMOS型のみの低リーケ電流構造のトランジスタから構成される。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社